

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-294473

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

H01L 29/861

(21)Application number : 09-100023

(71)Applicant : HITACHI LTD

HITACHI HARAMACHI SEMICONDUCTOR LTD

(22)Date of filing : 17.04.1997

(72)Inventor : MURAKAMI SUSUMU
MATSUZAKI HITOSHI
MATSUZAKI MITSUSACHI
TSURUOKA MASAO
SUGANO MINORU

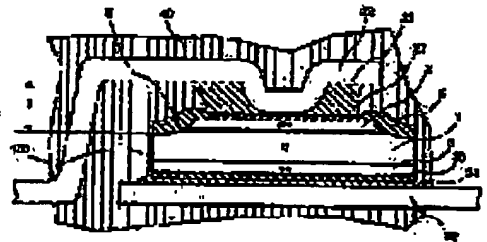
(54) SURFACE-MOUNT TYPE SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a surface-mount type semiconductor device which is capable of decreasing leakage current of blocking state applied with high reverse voltage, thus ensuring high withstand voltage.

SOLUTION: The peripheral portion of a lead electrode 22 other than a terminal is shaped to have a small size than a semiconductor pellet 100 so that the potential of the lead electrode 22 does not cause electric field concentration on the surface of the semiconductor. A gap t1 between the lead electrode 22 in the terminal and the semiconductor pellet 100 is made so wide that the threshold voltage of an MIS

(metal-insulator-semiconductor) structure constituted of a resin 40 interposed between the lead electrode 22 and the semiconductor pellet 100, a substrate semiconductor and the lead electrode 22, exceeds a rated withstand voltage.



LEGAL STATUS

[Date of request for examination]

15.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294473

(43) 公開日 平成10年(1998)11月4日

(51) IntCl⁵
H01L 29/861

識別記号

F I
H01L 29/91

D

審査請求 未請求 請求項の数9 O L (全 10 頁)

(21) 出願番号 特願平9-100023

(22) 出願日 平成9年(1997)4月17日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233273

日立原町電子工業株式会社

茨城県日立市弁天町3丁目10番2号

(72) 発明者 村上 進

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 松崎 均

茨城県日立市幸町三丁目1番1号 株式会

社日立製作所日立工場内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 面実装型半導体装置及びその製造方法

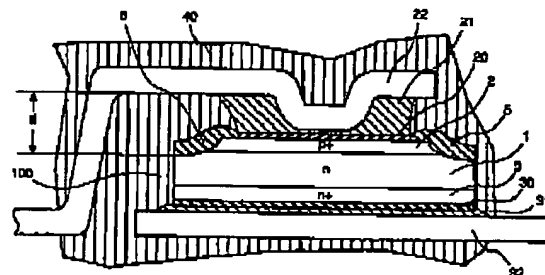
(57) 【要約】

【課題】半田を用いてリード電極を形成する面実装型半導体装置において、リード電極の電界効果による電界集中により、耐圧低下、リーク電流の増大が生じる。

【解決手段】リード電極2の電位が半導体表面の電界集中を起こさないよう、引出部以外のリード電極周辺部が半導体ベレットより小さくなる形状とし、引出部のリード電極と半導体ベレットの間隔 t 、としては、その間に介在する樹脂40と基板半導体およびリード電極で構成されるMIS構造のしきい値電圧が定格耐圧以上となるよう、広くした構造とする。

【効果】阻止状態での電圧-電流特性がハードになり、高耐圧、低リーク電流、かつ高信頼の面実装型半導体装置が得られる。

図 1



1

【特許請求の範囲】

【請求項1】 一对の主表面を有し、第1導電型の半導体基板となる第1半導体領域の一方の主表面から基板と反対導電型の不純物を拡散して第2半導体領域が形成され、一方の主表面から所定の領域に第1半導体領域と第2半導体領域からなるpn接合が露出するようメサ型に溝が設けられ、このメサ部にガラス被膜が形成され、第1半導体領域の他方の主表面から第1半導体領域より高不純物濃度で同導電型の不純物を拡散して第3半導体領域が形成される半導体基体において、第2半導体領域の露出面に第1電極が形成され、第3半導体領域の露出面に第2電極が形成され、第1電極に半田を介して第1リード電極が接続され、第2電極に半田を介して第2リード電極が接続され、一方の主表面から見た第1リード電極と半導体基体の重なる部分の面積が半導体基体の面積より小さいことを特徴とする面実装型半導体装置。

【請求項2】 一对の主表面を有し、第1導電型の半導体基板となる第1半導体領域の一方の主表面から基板と反対導電型の不純物を拡散して第2半導体領域が形成され、一方の主表面から所定の領域に第1半導体領域と第2半導体領域からなるpn接合が露出するようメサ型に溝が設けられ、このメサ部にガラス被膜が形成され、第1半導体領域の他方の主表面から第1半導体領域より高不純物濃度で同導電型の不純物を拡散して第3半導体領域が形成される半導体基体において、第2半導体領域の露出面に第1電極が形成され、第3半導体領域の露出面に第2電極が形成され、第1電極に半田を介して第1リード電極が接続され、第2電極に半田を介して第2リード電極が接続され、一方の主表面から見た第1リード電極と半導体基体のpn接合面の重なる部分の面積が半導体基体のpn接合面の面積より小さいことを特徴とする面実装型半導体装置。

【請求項3】 一对の主表面を有し、第1導電型の半導体基板となる第1半導体領域の一方の主表面から基板と反対導電型の不純物を拡散して第2半導体領域が形成され、一方の主表面から所定の領域に第1半導体領域と第2半導体領域からなるpn接合が露出するようメサ型に溝が設けられ、このメサ部にガラス被膜が形成され、第1半導体領域の他方の主表面から第1半導体領域より高不純物濃度で同導電型の不純物を拡散して第3半導体

(2)

特開平10-294473

2

* 領域が形成される一方の主表面からみて4角形の形を有する半導体基体において、第2半導体領域の露出面に第1電極が形成され、第3半導体領域の露出面に第2電極が形成され、第1電極に半田を介して第1リード電極が接続され、第2電極に半田を介して第2リード電極が接続され、一方の主表面から見た第1リード電極の引出部と4角形の形を有する半導体基体の一边とが重なる部分以外の3辺において、第1リード電極の外周が半導体基体の周囲より内部にあることを特徴とする面実装型半導体装置。

【請求項4】 一对の主表面を有し、第1導電型の半導体基板となる第1半導体領域の一方の主表面から基板と反対導電型の不純物を拡散して第2半導体領域が形成され、一方の主表面から所定の領域に第1半導体領域と第2半導体領域からなるpn接合が露出するようメサ型に溝が設けられ、このメサ部にガラス被膜が形成され、第1半導体領域の他方の主表面から第1半導体領域より高不純物濃度で同導電型の不純物を拡散して第3半導体領域が形成される一方の主表面からみて4角形の形を有する半導体基体において、第2半導体領域の露出面に第1電極が形成され、第3半導体領域の露出面に第2電極が形成され、第1電極に半田を介して第1リード電極が接続され、第2電極に半田を介して第2リード電極が接続され、一方の主表面から見た第1リード電極の引出部と4角形の形を有する半導体基体の一边とが重なる部分以外の3辺において、第1リード電極の外周が少なくとも半導体基体のpn接合部より内部にある箇所を有することを特徴とする面実装型半導体装置。

【請求項5】 第1リード電極と半導体基体の周辺部が重なる部分において、第1リード電極とメサ部の第1半導体領域との間に、半導体の誘電率を ϵ_r 、素電荷を q 、第1半導体領域の不純物濃度を N 、第1半導体領域のフェルミポテンシャルを ϕ_F 、第1リード電極とメサ部の第1半導体領域との間の単位面積当りの容量を C 、フラットバンド電圧を V_{FB} とすると、定格の耐圧 BV が次の式(1)を満たすことを特徴とする特許請求の範囲第1項～第4項記載の面実装型半導体装置。

【数1】

$$BV < V_{FB} + 2|\phi_F| + \frac{(4\epsilon_r q N |\phi_F|)^{1/2}}{C} \quad \dots (1)$$

【請求項6】 一对の主表面を有し、第1導電型の半導体基板となる第1半導体領域の一方の主表面から基板と反対導電型の不純物を拡散して第2半導体領域が形成され、一方の主表面から所定の領域に第1半導体領域と第2半導体領域からなるpn接合が露出するようメサ型に溝が設けられ、このメサ部にガラス被膜が形成され、第1半導体領域の他方の主表面から第1半導体領域より高不純物濃度で同導電型の不純物を拡散して第3半導体

領域が形成される半導体基体において、第2半導体領域の露出面に第1電極が形成され、第3半導体領域の露出面に第2電極が形成され、第1電極に半田を介して第1リード電極が接続され、第2電極に半田を介して第2リード電極が接続され、一方の主表面から見た第1リード電極が半導体基体を全面覆い、かつ第1リード電極と半導体基体の周辺部が重なる部分において、第1リード電極とメサ部の第1半導体領域との間に、

3

半導体の誘電率を ϵ 、素電荷を q 、第1半導体領域の不純物濃度を N 、第1半導体領域のフェルミポテンシャルを ϕ_f 、第1リード電極とメサ部の第1半導体領域との間の単位面積当たりの容量を C 、フラットバンド電圧を V_{fb} とすると、定格の耐圧 BV が上記に記載した式

(1)を満たすことを特徴とする面実装型半導体装置。

【請求項7】第1電極に半田を介して接続される第1リード電極が、第1電極の中央部近傍で、下に凸の円状または角状の形状を有することを特徴とする請求項1～6のいずれかに記載の面実装型半導体装置。

【請求項8】第2電極に半田を介して接続される第2リード電極が、第2電極の中央部近傍で、上に凸の円状または角状の形状を有することを特徴とする請求項1～6のいずれかに記載の面実装型半導体装置。

【請求項9】第1電極に半田を介して接続される第1リード電極が、第1電極の中央部近傍で最も低く、半導体基体の外周部に向かい半導体基体との間隔が広がる傾斜を有することを特徴とする請求項1～6のいずれかに記載の面実装型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特に高耐圧で高信頼を有する面実装型半導体装置に関する。

【0002】

【従来の技術】メサ型半導体装置（少なくとも1個の $p-n$ 接合が主表面からエッチングによって溝が形成され、溝の側壁に $p-n$ 接合が露出する半導体装置）を高耐圧化するために従来から種々の技術が提案されている。

【0003】例えば、メサ型の半導体装置の高耐圧化に関する従来技術として、特開昭60-186071号公報に記載された技術が知られている。この従来技術は、メサ溝内壁をガラスで被覆した半導体装置の製造方法において、メサ溝を形成した後熱処理等により、 $p-n$ 接合部を当初の位置より移動させることにより、高耐圧が得られるとされている。

【0004】さらに、メサ型の半導体装置の高耐圧化に関する他の従来技術として、特開平7-221049号公報に記載された技術が知られている。この従来技術は、一定の幅内に隣接する2つのメサ溝の中間に凸状の部分の設け、この凸状の部分が半導体基板の表面よりも低くなるようにエッチングにより形成することにより、ダイシング時にガラス内部にクラックが入らないようにでき、信頼性と高耐圧化が図れるものとされている。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来技術では、ダイオードに逆バイアス電圧が印加される阻止状態において、メサ部分の半導体端面での電界集中による耐圧低下やリーク電流増大に関する問題については考慮されていなかった。

(3)

特開平10-294473

4

【0006】本発明の目的は、従来の半導体装置の問題点を解決した面実装型半導体装置を提供することにある。

【0007】本発明の目的を具体的に言えば、高い逆方向電圧が印加された阻止状態でのリーク電流が低減でき、高耐圧が可能な面実装型半導体装置を提供することにある。

【0008】

【課題を解決するための手段】かかる目的を達成するために本発明は、一対の主表面を有し、第1導電型の半導体基板となる第1半導体領域の一方の主表面から基板と反対導電型の不純物を拡散して第2半導体領域が形成され、一方の主表面から所定の領域に第1半導体領域と第2半導体領域からなる $p-n$ 接合が露出するようメサ型に溝が設けられ、このメサ部にガラス被覆が形成され、第1半導体領域の他方の主表面から第1半導体領域より高不純物濃度で同導電型の不純物を拡散して第3半導体領域が形成される半導体基体において、第2半導体領域の露出面に第1電極が形成され、第3半導体領域の露出面に第2電極が形成され、第1電極に半田を介して第1リード電極が接続され、第2電極に半田を介して第2リード電極が接続され、一方の主表面から見た第1リード電極と半導体基体の重なる部分の面積が半導体基体の面積より小さくなるようにし、半導体基体端面で第1リード電極による電界効果で電界集中を防止するようにしたものである。

【0009】さらに、第1リード電極として、一方の主表面から見た第1リード電極と半導体基体の $p-n$ 接合面の重なる部分の面積が半導体基体の $p-n$ 接合面の面積より小さくしたり、一方の主表面から見た第1リード電極と4角形の形を有する半導体基体の一辺の第1リード電極の引出部の重なる部分以外の3辺が半導体基体の周囲より内部にあるようにしたり、あるいは一方の主表面から見た第1リード電極の引出部と4角形の形を有する半導体基体の一辺とが重なる部分以外の3辺において、第1リード電極の外周が少なくとも半導体基体の $p-n$ 接合終端部より内部にある箇所を有するようにしたものである。

【0010】また、第1リード電極と半導体基体の周辺部が重なる部分において、半導体基体端面で第1リード電極による電界効果で電界集中が生じるのを一層確実に防止するように、半導体基体の第1リード電極とメサ部の第1半導体領域との間の絶縁物中の電圧降下を大きくし、第1リード電極、該絶縁物とメサ部の第1半導体領域構造でのしきい値電圧が半導体装置の定格耐圧以上となるようにしたものである。

【0011】

【発明の実施の形態】以下、本発明の実施例を図面を用いて説明する。

【0012】（実施例1）図1は本発明の面実装型半導

5

体装置の一実施例を示す断面図である。図において、1はシリコン基板として用いた面方位が(111)、抵抗率が35~45Ωcmのn型半導体領域であり、一方の主表面には表面不純物濃度が $1 \times 10^{19}/\text{cm}^3$ 以上のB(ボロン)を $40 \pm 5 \mu\text{m}$ の深さにイオン打ち込み法あるいはボロンナイトライドを拡散源とした熱拡散法による高不純物濃度のp+型半導体領域2が形成され、他方の主表面には表面不純物濃度が $1 \times 10^{20}/\text{cm}^3$ 以上のP(リン)を $45 \pm 10 \mu\text{m}$ の深さにイオン打ち込み法あるいは次亜塩素酸リンを用いた高不純物濃度のn+型半導体領域3が形成され、一方の主表面から所定の領域にpn接合が露出するよう通常の熱酸化とホトリソグラフィにより一方の主表面の酸化膜の一部を除去した後、UO1エッチャントで約60μmエッチングしp+型半導体領域2とn型半導体領域1からなるpn接合が露出するようにメサ溝が設けられ、このメサ部にスクリーン印刷法によりペースト状の鉛系ガラス(主成分:PbO, SiO₂, Al₂O₃)を $55 \pm 10 \mu\text{m}$ 塗布し、ガラス焼成として酸素雰囲気中で780~850℃、40分の熱処理をしたガラス被膜5が形成されている。また、アノード層となるp+型半導体領域2にはアノード電極20が、カソード層となるn+型半導体領域3にはカソード電極30がそれぞれガラス被膜5が形成された後に、無電解ニッケルめっきあるいはCr-Ni-Ag蒸着によりオーミック接触して形成されている。

【0013】100はこのような構成を有するn型半導体領域1、p+型半導体領域2、n+型半導体領域3、アノード電極20、及びカソード電極30、ガラス被膜5からなる半導体ベレットである。

【0014】アノード電極20に第1半田21を介して、第1リード電極となるアノード側リード電極22が接続され、カソード電極30に第2半田31を介して、第2リード電極となるカソード側リード電極32が接続されている。40は半導体ベレット100を完全にモールドするためのエポキシ系の樹脂である。

【0015】図2は本発明の面実装型半導体装置による第1実施例を示す一方の主表面から見た平面図である。図中の符号の意味は図1で説明したのと同様であり、ここでは説明を省略する。アノード電極20、アノード側リード電極22、カソード側リード電極32、ガラス被膜5、さらに第1半導体領域と第2半導体領域からなるpn接合端7を示している。なお、第1リード電極22の内、アノード電極20のほぼ中央部では、半田を用いたアノード電極20との接続を容易にするため、下に凸の形状をした箇所を22aで示し、上部に位置する箇所を22bで示している。

【0016】なお、図2では樹脂40を省略しているが、図2のA-A'部で示した箇所の断面の概略図が図1に相当する。面実装型半導体装置の主pn接合の端部7は4角曲率を有する4角形となっており、ガラス被膜

(4)

特開平10-284473

6

5の下に位置している。

【0017】次に、図1及び図2に示した構成の面実装型半導体装置の特長について述べる。アノード側リード電極22が負、カソード側電極32が正となる逆バイアス電圧が印加されると、n型半導体領域1とp+型半導体領域2からなるpn接合が逆バイアスされ、空乏層はほとんど不純物濃度の低いn型半導体領域1に広がる。しかしながら、アノード側リード電極22がn型半導体領域1に対して負の電位を有しているため、この空乏層はアノード側リード電極22の電位による電界効果作用により、特にn型半導体領域1のメサ部、すなわちガラスに接するn型半導体領域表面での拡がりが増大する。

【0018】この結果、半導体ベレット端部におけるn型半導体領域1の角の部分で電界が集中し、耐圧低下やリーク電流が増大する問題があったが、図1及び図2に示したように、アノード側リード電極22の左側の引出部22b以外の引出部22bの端部を半導体ベレットの内側、さらにpn接合端7の内側になるよう形成することにより、上記の電界効果作用による電界集中を極めて低減でき、さらに引出部22bを金属(M)、ベレット端部のn型半導体領域1と引出部22bの間に介在する樹脂40とガラス被膜5を絶縁物(I)、n型半導体領域1を半導体(S)としたMIS構造のしきい値電圧 V_{th} が定格耐圧BV以上になるよう、引出部22bとn型半導体領域1間の距離を長くすることにより、引出部22bの引出部での電界効果作用による電界集中をも低減でき、高耐圧かつ低リーク電流を有する面実装型半導体装置を得ることができた。具体的には、発明者らはガラス被膜5として鉛系ガラスを50μm、第1リード電極とガラス被膜5との間に介在する樹脂40を260μmの厚さとする事により、上記MIS構造におけるフラットバンド電圧は約100Vの値を示し、しきい値電圧として約420Vの値が得られ、定格耐圧400Vより、しきい値電圧の値を大きくすることができ、アノード側電極22の電界効果による悪影響を受けず、極めて良好な阻止特性を得ることができた。

【0019】さらに、ガラス被膜5を50μm、上記第1リード電極とガラス被膜5との間に介在する樹脂40を110μmの厚さとする事により、上記MIS構造におけるフラットバンド電圧は約42Vの値を示し、しきい値電圧として約216Vの値が得られ、同様にしきい値電圧を定格耐圧200Vより大きくでき、極めて良好な阻止特性を得ることができた。

【0020】以上述べたように、アノード側リード電極引出部22bを金属(M)、ベレット端部のn型半導体領域1と引出部22bの間に介在する樹脂40とガラス被膜5を絶縁物(I)、n型半導体領域1を半導体(S)としたMIS構造のしきい値電圧 V_{th} が定格耐圧BV以上になるようにすれば、高耐圧かつ低リーク電流

7

を有する面実装型半導体装置を得ることができることを確認した。

【0021】さらに、上記のアノード側リード電極22とメサ部のn型半導体領域1表面との距離 t_1 に関して述べる。アノード側リード電極22の電界効果による悪影響を受けず、極めて良好な阻止特性を得るためには、上記の距離 t_1 が上記MIS構造のしきい値電圧 V_{th} が定格耐圧BV以上になるようにすれば良いが、アノード側リード電極22と等電位にあるアノード電極20との電界効果も考慮する必要がある。すなわち、本発明に示したメサ型の半導体装置では、アノード電極20が最も
10 広くなる可能性としては、表面に露出するp+型半導体領域2の横方向寸法であり、言い替えばベレット端部のn型半導体領域1とアノード電極20の横方向の距離が最も短くなる距離はメサ部の横方向寸法である。本発明のメサ型半導体装置の構造では、ガラス被膜5の厚さ、上記樹脂40の厚さがいかなる値を有していても、アノード電極20の端部と最短距離となるn型半導体領域1表面の距離は上記メサ部の横方向寸法であるため、アノード電極20と等電位にあるアノード側リード電極
20 22との電界効果を防止するためには、アノード側リード電極22とメサ部のn型半導体領域1表面との距離 t_1 として、少なくともメサ部の横方向寸法以上あれば一層効果的となることが明らかである。このように、種々の定格電圧を有する面実装型半導体装置に対して、アノード側リード電極22とメサ部のn型半導体領域1表面との距離 t_1 をメサ部の横方向寸法以上とすることにより、リーク電流を低減できることを見出した。

【0022】（実施例2）図3、図4はそれぞれ本発明の面実装半導体装置の第2実施例を示す断面図及び平面図である。図3及び図4において、図1及び図2に示した符号と同一のものは説明を省略する。なお、図4では樹脂40を省略しているが、図4のB-B'部で示した箇所の断面の概略図が図3に相当する。図3において、アノード電極20に第1半田21を介して、アノード側
30 リード電極22が接続されているが、図1と異なるところはアノード側リード電極22の形状である。すなわち、図3に示すようにアノード側リード電極22のはば半導体ベレット100の上部に位置するところで、3つの水平面を有し、アノード電極20の中央部で最も低い位置にあり、半導体ベレットの外周部と重なる箇所
40 で最も高い位置にあることである。一方の主表面から見た形状としては、図4に示したように、アノード電極20の中央部で最も低い位置にある円形をしたアノード側リード電極の部分22a、半導体ベレットの外周部と重なる箇所
50 で最も高い位置にあるところをアノード側リード電極の引出部22b、その中間の水平面の高さを有する箇所をアノード側リード電極の部分22cとした。この構造においても、図1及び図2で説明したのと同様の電気的な作用効果が得られるだけでなく、使用する第1半田

(5)

特開平10-294473

8

21の量が少なくすみ、アノード側リード電極の部分22a、アノード側リード電極の部分22cとアノード電極20との接着強度を高めることができる。

【0023】（実施例3）図5は本発明の面実装半導体装置の第3実施例を示す平面図である。図5において、図2に示した符号と同一のものは説明を省略する。図2では、アノード側リード電極22の左側の引出部22b以外
のアノード側リード電極22の端部を半導体ベレットの内側、さらにpn接合端7の内側になるよう形成することにより、半導体ベレット端部での電界効果作用による電界集中を極めて低減できることを説明したが、本発明の効果はこれに限られることはなく、図5に示した
ように、アノード側リード電極22の左側の引出部22b以外のアノード側リード電極22の端部を半導体ベレットの内側となっても、半導体ベレット端部での電界効果作用による電界集中を低減することができる。

【0024】（実施例4）図6は本発明の面実装半導体装置の第4実施例を示す平面図である。図6において、図4に示した符号と同一のものは説明を省略する。図4では、アノード側リード電極22の左側の引出部22b以外
のアノード側リード電極22の端部を半導体ベレットの内側、さらにpn接合端7の内側になるよう形成することにより、半導体ベレット端部での電界効果作用による電界集中を極めて低減でき、アノード電極20の中央部で最も低い位置にある円形をしたアノード側リード電極の部分22a、半導体ベレットの外周部と重なる箇所
で最も高い位置にあるところをアノード側リード電極22b、その中間の水平面の高さを有する箇所をアノード側リード電極22cとすることにより、使用する第1
半田21の量が少なくすみ、アノード側リード電極の部分22a、アノード側リード電極の部分22cとアノード電極20との接着強度を高めることができることを説明したが、本発明の効果はこれに限られることはなく、図6に示したように、アノード側リード電極22の左側の引出部22b以外
のアノード側リード電極22の端部を半導体ベレットの内側となっても、半導体ベレット端部での電界効果作用による電界集中を低減することができる。

【0025】（実施例5）図7は本発明の面実装半導体装置の第5実施例を示す断面図である。図7において、図1に示した符号と同一のものは説明を省略する。図7において、アノード電極20に第1半田21を介して、アノード側のアノード側リード電極22が接続されているが、図1と異なるところはアノード側リード電極22
の形状である。すなわち、図7に示すようにアノード側リード電極22の周辺部が半導体ベレット100の外側に位置していることである。図1及び図5では、アノード側リード電極22の左側の引出部以外のアノード側
リード電極22の端部を半導体ベレットの内側や、さらにpn接合端の内側になるよう形成することにより、半導

9

体ベレット端部での電界効果作用による電界集中を極めて低減できることを説明したが、本発明の効果はこれに限られることはなく、図7に示すように、アノード側リード電極22bを金属(M)、ベレット端部のn型半導体領域1とアノード側リード電極の引出部22bの間に介在する樹脂40とガラス被膜5を絶縁物(I)、n型半導体領域1を半導体(S)としたMIS構造のしきい値電圧 V_{th} が定格耐圧BV以上になるよう、アノード側リード電極22bとn型半導体領域1間の距離を長くすることにより、アノード側リード電極22bの引出部での電界効果作用による電界集中をも低減できることは言うまでもない。

【0026】(実施例6) 図8は本発明の面実装半導体装置の第6実施例を示す段面図である。図8において、図7に示した符号と同一のものは説明を省略する。図8において、アノード電極20に第1半田21を介して、アノード側のリード電極22が接続されているが、図7と異なるところはアノード側リード電極22の形状である。すなわち、図8に示すようにアノード側リード電極22が半導体ベレット100の内側で最も低く、半導体ベレット100の外に向かう方向に、半導体ベレット100との間隔が広がるよう傾斜を有していることである。このような傾斜を有するアノード側リード電極22とすることにより、図7で説明した同様の効果が達成できる。

【0027】(実施例7) 図9は本発明の面実装半導体装置の第7実施例を示す段面図である。図9において、図3に示した符号と同一のものは説明を省略する。図3において、アノード電極20に第1半田21を介して、アノード側リード電極22が接続されているが、図3と異なるところはアノード側リード電極22の形状である。すなわち、図9に示すようにアノード側リード電極22のほぼ半導体ベレット100の上部に位置するところで、3つの水平面を有し、アノード電極20の中央部で最も低い位置にあり、半導体ベレットの外周部と重なる箇所でも最も高い位置にあることである。さらに、図7に示したのと同様に、アノード側リード電極22の周辺部が半導体ベレット100の外側に位置していることである。図1や図3では、アノード側リード電極22の左側の引出部以外のアノード側リード電極22の端部を半導体ベレットの内側や、さらにpn接合端の内側になるよう形成することにより、半導体ベレット端部での電界効果作用による電界集中を極めて低減できることを説明したが、本発明の効果はこれに限られることはなく、図7でも説明したが図9に示すように、アノード側リード電極22bを金属(M)、ベレット端部のn型半導体領域1とアノード側リード電極22bの間に介在する樹脂40とガラス被膜5を絶縁物(I)、n型半導体領域1を半導体(S)としたMIS構造のしきい値電圧 V_{th} が定格耐圧BV以上になるよう、アノード側リード電極2

(6)

特開平10-294473

10

2bとn型半導体領域1間の距離t、を長くすることにより、あるいはt、としてメサ部の横方向寸法以上に長くすることにより、アノード側リード電極22bの引出部での電界効果作用による電界集中をも低減できることは言うまでもない。

【0028】(実施例8) 図10は本発明の面実装半導体装置の第8実施例を示す段面図である。図10において、図1に示した符号と同一のものは説明を省略する。図1で、本発明による高耐圧、低リーク電流の面実装型半導体装置の動作の詳細を述べたが、図10では図1に示した半導体ベレット100を具体的に面実装型に組み立てた段面構造の概要を示している。半導体ベレット100の下部に位置するカソード電極30はカソード側リード電極32上に第2半田31を介して接続され、アノード側リード電極22は半導体ベレット100の上部に位置するアノード電極20と第1半田21を介して接続されている。このように、半導体ベレット100はアノード側リード電極22とカソード側リード電極32との間に挟まれた構造となっており、半導体ベレット100の全てを完全に覆うように樹脂40でモールドされている。

【0029】樹脂40の中にあるカソード側リード電極32は水平に形成され、樹脂40の外部では、下方に折り曲げられ樹脂の下部にカソード側リード電極32の先端が存在するように形成されている。また、樹脂40の中にあるアノード側リード電極22は、樹脂40の内部においてカソード側リード電極32が樹脂40の内部にある水平面と同一の水平面となる箇所を有するように形成されている。すなわち、アノード側リード電極22とカソード側リード電極32は同一の水平面で樹脂40から外に出る構造となっている。さらに、アノード側リード電極22はカソード側リード電極32と同様に、樹脂40の外部では下方に折り曲げられ樹脂の下部にアノード側リード電極22の先端が存在するように形成されている。こうすることにより、アノード側リード電極22とカソード側リード電極の樹脂40の外部にある箇所を同一平面に形成することができる。図10に示した半導体ベレット100、アノード側リード電極22、及びカソード側リード電極32の構成とすることにより、高耐圧、低リーク電流、かつ高信頼の面実装型半導体装置を得ることができる。

【0030】図11は本発明の図10に示した第8実施例を例にとった製造工程図を示す。図11では図10に示した第8実施例を例にした製造工程のみ示しているが、本発明はこれに限らず、図3、図7、図8さらに図9に示した半導体ベレット100、アノード側リード電極22、及びカソード側リード電極32の構成を適用できることは言うまでもない。図11において、図10に示した符号と同一のものは説明を省略する。

【0031】まず、図11(a)に示すように、カソー

11

下側リード電極32上に第2半田31を形成し、その上に半導体ベレット100のカソード電極30が位置するように配置し、熱処理をして、カソード側リード電極32とカソード電極30を第2半田31を介して接続する。図11(a)では図示していないが、半導体ベレット100が配置されるカソード側リード電極32上は、第2半田が横方向にずれないように上に凸の円状あるいは角状の形状をしている。

【0032】次に、図11(b)に示すように半導体ベレット100のアノード電極20上に第1半田21を形成し、その上にアノード側リード電極22を配置し、熱処理をして、アノード側リード電極22とアノード電極20を第1半田21を介して接続する。

【0033】最後に、図11(c)に示すように、半導体ベレット100の全てを完全に覆うように樹脂40でモールドし、樹脂40の外部に出ているアノード側リード電極22とカソード側リード電極32を加工し、樹脂40の下部にそれぞれの先端が位置するように形成する。なお、図示していないが、樹脂40でモールドした後で、樹脂40の外部に出ているアノード側リード電極22とカソード側リード電極32に、半田を形成しておくこと、例えば、プリント基板上に半田で接続する場合、接続が容易になる利点がある。

【0034】(実施例9) 図12は本発明の面実装型半導体装置による第9実施例を示す断面図である。図12において、図10に示した符号と同一のものは説明を省略する。6はシリコン酸化膜等の絶縁膜であり、ガラス被膜5とp+型半導体領域2及びn型半導体領域1の表面との間に介在して形成されている。このように図10に対してシリコン酸化膜6を付加することにより、半導体表面の界面準位を低減することが可能となり、半導体表面を流れる表面発生電流の低減を図ることができる。

【0035】(実施例10) 図13は本発明の面実装型半導体装置による第10実施例を示す断面図である。図13において、図10に示した符号と同一のものは説明を省略する。4は高不純物濃度のn+型半導体領域であり、ガラス被覆半導体装置のチップ周辺に、p+型半導体領域2を取り囲むようにn型半導体領域1に隣接して形成されている。こうすることにより、主pn接合から延びる空乏層がチップ端部にまで延びるのを防止できるだけでなく、ダイシング時にガラスを切らなくてすむので、ガラスのクラックの発生による耐圧不良を低減できる効果がある。

【0036】(実施例11) 図14は本発明の面実装型半導体装置による第11実施例を示す断面図である。図14において、図12及び図13に示した符号と同一のものは説明を省略する。図13に示した高不純物濃度のn+型半導体領域4及び図12に示したシリコン酸化膜6を併合することにより、主pn接合から延びる空乏層がチップ端部にまで延びることによるリーク電流増大を

(7)

特開平10-294473

12

防止でき、ダイシング時にガラスを切らなくてすむので、ガラスのクラックの発生による耐圧不良を低減できる効果がある。さらに、半導体表面の界面準位を低減することが可能となり、半導体表面を流れる表面発生電流の低減を図ることができる。

【0037】以上詳述した本発明の各実施例を用いた面実装型半導体装置及びその製造方法によれば、高耐圧、低リーク電流、かつ高信頼の面実装型半導体装置を歩留まり良く製造することができた。

【0038】すなわち、面実装型半導体装置の耐圧は、約800±100Vであり、リーク電流も逆方向印加電圧が400Vで10nA以下となり、極めて阻止特性の優れた面実装型半導体装置及びその製造方法であることを確認した。さらに、高温逆バイアス試験(DC400V、接合温度150℃、時間1000h)を実施したが、リーク電流は初期値の50%増加にとどまり、高信頼性を示すことを確認した。

【0039】

【発明の効果】このようにして、本発明によれば、高耐圧でリーク電流が少ない高信頼の面実装型半導体装置が得られる。

【図面の簡単な説明】

【図1】本発明の面実装型半導体装置による第1実施例の断面図。

【図2】本発明の面実装型半導体装置による第1実施例の平面図。

【図3】本発明の面実装型半導体装置による第2実施例の断面図。

【図4】本発明の面実装型半導体装置による第2実施例の平面図。

【図5】本発明の面実装型半導体装置による第3実施例の平面図。

【図6】本発明の面実装型半導体装置による第4実施例の平面図。

【図7】本発明の面実装型半導体装置による第5実施例の断面図。

【図8】本発明の面実装型半導体装置による第6実施例の断面図。

【図9】本発明の面実装型半導体装置による第7実施例の断面図。

【図10】本発明の面実装型半導体装置による第8実施例の断面図。

【図11】本発明の面実装型半導体装置による第8実施例の製造工程図。

【図12】本発明の面実装型半導体装置による第9実施例の断面図。

【図13】本発明の面実装型半導体装置による第10実施例の断面図。

【図14】本発明の面実装型半導体装置による第11実施例の断面図。

(8)

特開平10-294473

13

14

【符号の説明】

1…n型半導体領域、2…p+型半導体領域、3、4…
n+型半導体領域、5…ガラス被膜、6…シリコン酸化
膜、7…pn接合端、20…アノード電極、21…第1*

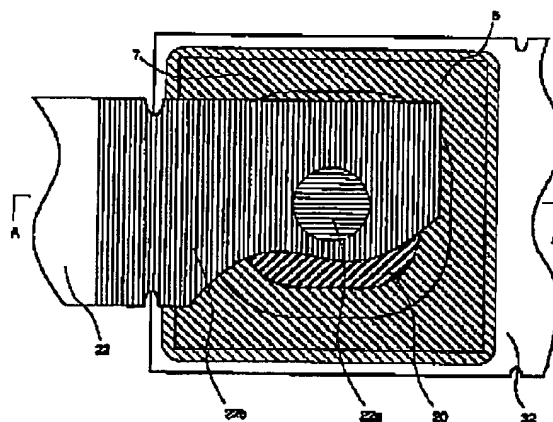
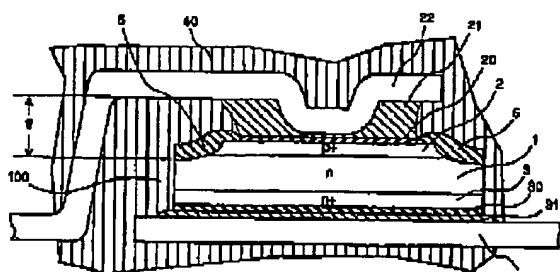
*半田、22…アノード側リード電極、30…カソード電極、31…第2半田、32…カソード側リード電極、40…樹脂、100…半導体ペレット。

【图 1】

【圖2】

1

图 2

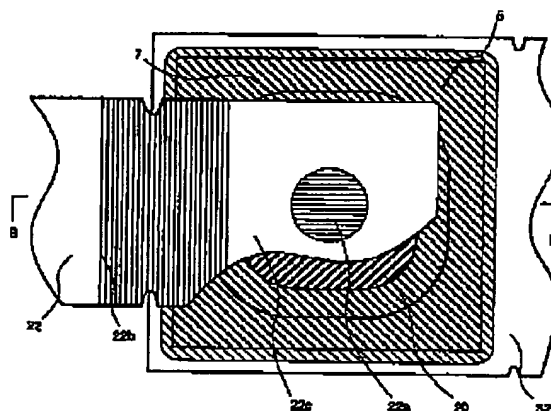
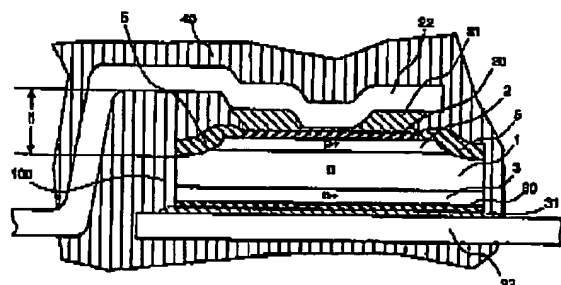


【圖3】

【圖4】

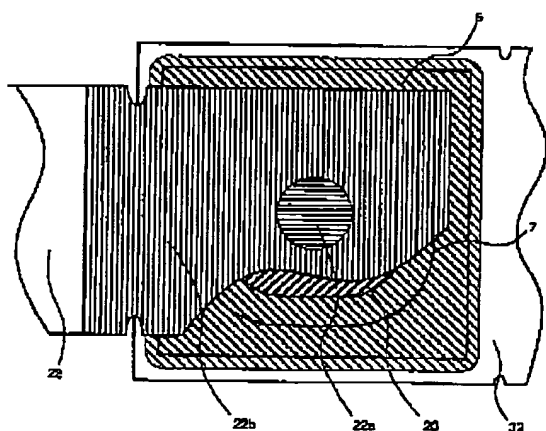
3

4



【圖5】

5

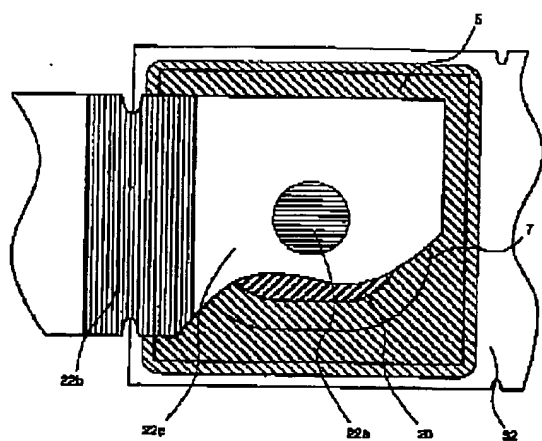


(9)

特開平10-294473

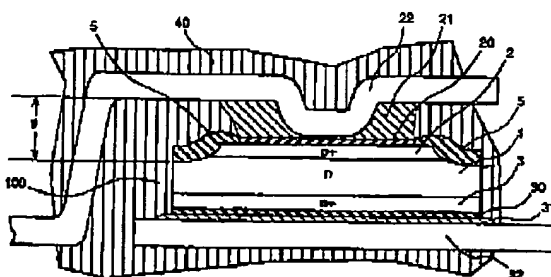
【図6】

図 6



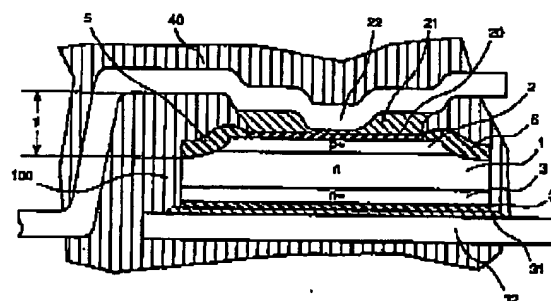
【図7】

図 7



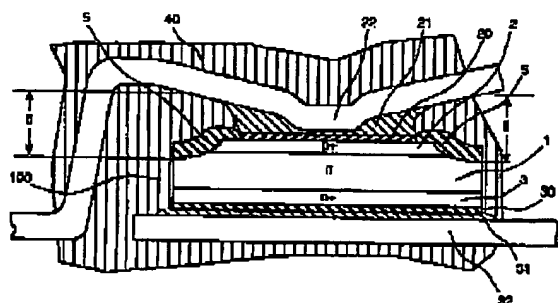
【図9】

図 9



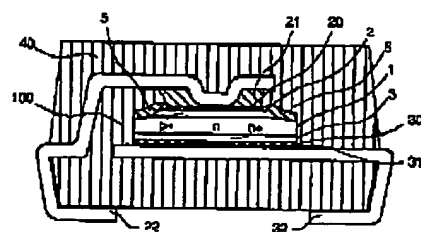
【図8】

図 8



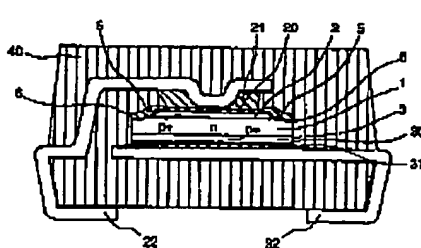
【図10】

図 10



【図12】

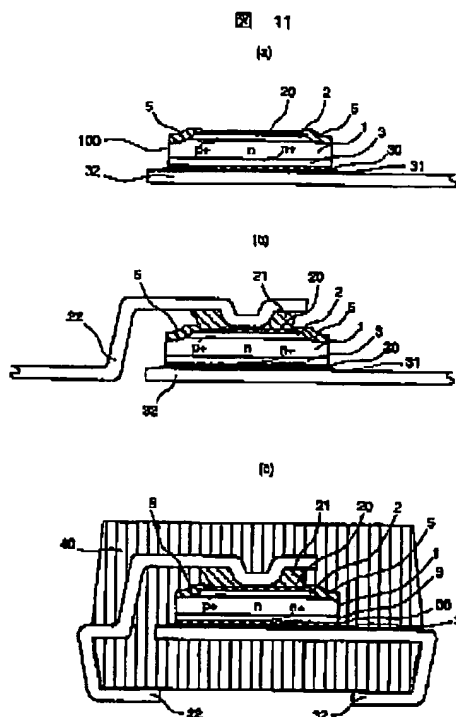
図 12



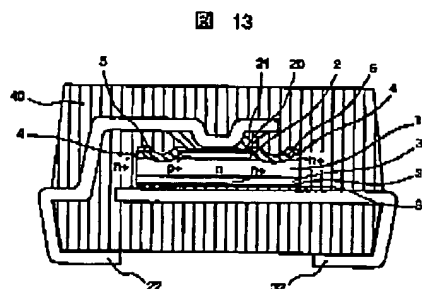
(10)

特開平10-284473

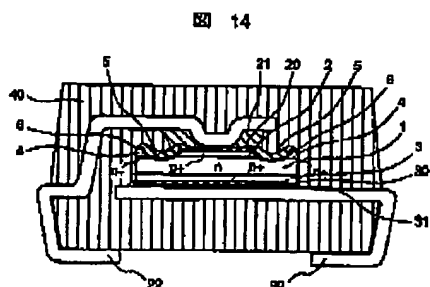
【図11】



【図13】



【図14】



フロントページの続き

(72)発明者 松崎 光幸
茨城県日立市幸町三丁目1番1号 株式会
社日立製作所日立工場内

(72)発明者 鶴岡 征男
茨城県日立市幸町三丁目1番1号 株式会
社日立製作所日立工場内

(72)発明者 菅野 実
茨城県日立市井天町三丁目10番2号 日立
原町電子工業株式会社内

特開平10-294473

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】平成13年9月28日(2001.9.28)

【公開番号】特開平10-294473
【公開日】平成10年11月4日(1998.11.4)
【年通号数】公開特許公報10-2945
【出願番号】特願平9-100023
【国際特許分類第7版】
H01L 29/86L
【FI】
H01L 29/91 0

【手続補正書】

【提出日】平成12年12月15日(2000.12.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】一対の主表面を有し、第1導電型の半導体基板となる第1半導体領域の一方の主表面から基板と反対導電型の不純物を拡散して第2半導体領域が形成され、一方の主表面から所定の領域に第1半導体領域と第2半導体領域からなるpn接合が露出するようメサ型に溝が設けられ、このメサ部にガラス被膜が形成され、第1半導体領域の他方の主表面から第1半導体領域より高不純物濃度で同導電型の不純物を拡散して第3半導体領域が形成される半導体基体において、第2半導体領域の露出面に第1電極が形成され、第3半導体領域の露出面に第2電極が形成され、第1電極に半田を介して第1リード電極が接続され、第2電極に半田を介して第2リード電極が接続され、一方の主表面から見た第1リード電極と半導体基体の重なる部分の面積が半導体基体の面積より小さいことを特徴とする面実装型半導体装置。

【請求項2】一対の主表面を有し、第1導電型の半導体基板となる第1半導体領域の一方の主表面から基板と反対導電型の不純物を拡散して第2半導体領域が形成され、一方の主表面から所定の領域に第1半導体領域と第2半導体領域からなるpn接合が露出するようメサ型に溝が設けられ、このメサ部にガラス被膜が形成され、第1半導体領域の他方の主表面から第1半導体領域より高不純物濃度で同導電型の不純物を拡散して第3半導体領域が形成される半導体基体において、第2半導体領域の露出面に第1電極が形成され、第3半導体領域の露出面に第2電極が形成され、第1電極に半田を介して第1リード電極が接続され、第2電極に半田を介して第2リード電極が接続され、一方の主表面から見た第1リード

電極と半導体基体のpn接合面の重なる部分の面積が半導体基体のpn接合面の面積より小さいことを特徴とする面実装型半導体装置。

【請求項3】一対の主表面を有し、第1導電型の半導体基板となる第1半導体領域の一方の主表面から基板と反対導電型の不純物を拡散して第2半導体領域が形成され、一方の主表面から所定の領域に第1半導体領域と第2半導体領域からなるpn接合が露出するようメサ型に溝が設けられ、このメサ部にガラス被膜が形成され、第1半導体領域の他方の主表面から第1半導体領域より高不純物濃度で同導電型の不純物を拡散して第3半導体領域が形成される一方の主表面からみて4角形の形を有する半導体基体において、第2半導体領域の露出面に第1電極が形成され、第3半導体領域の露出面に第2電極が形成され、第1電極に半田を介して第1リード電極が接続され、第2電極に半田を介して第2リード電極が接続され、一方の主表面から見た第1リード電極の引出部と4角形の形を有する半導体基体の一辺とが重なる部分以外の3辺において、第1リード電極の外周が半導体基体の周囲より内部にあることを特徴とする面実装型半導体装置。

【請求項4】一対の主表面を有し、第1導電型の半導体基板となる第1半導体領域の一方の主表面から基板と反対導電型の不純物を拡散して第2半導体領域が形成され、一方の主表面から所定の領域に第1半導体領域と第2半導体領域からなるpn接合が露出するようメサ型に溝が設けられ、このメサ部にガラス被膜が形成され、第1半導体領域の他方の主表面から第1半導体領域より高不純物濃度で同導電型の不純物を拡散して第3半導体領域が形成される一方の主表面からみて4角形の形を有する半導体基体において、第2半導体領域の露出面に第1電極が形成され、第3半導体領域の露出面に第2電極が形成され、第1電極に半田を介して第1リード電極が接続され、第2電極に半田を介して第2リード電極が接続され、一方の主表面から見た第1リード電極の引出部と4角形の形を有する半導体基体の一辺とが重なる部分

-補 1-

特開平10-294473

以外の3辺において、第1リード電極の外周が少なくとも半導体基体のpn接合終端部より内部にある箇所を有することを特徴とする面実装型半導体装置。

【請求項5】第1電極に半田を介して接続される第1リード電極が、第1電極の中央部近傍で、下に凸の円状または角状の形状を有することを特徴とする請求項1～4のいずれかに記載の面実装型半導体装置。

【請求項6】第2電極に半田を介して接続される第2リ

ード電極が、第2電極の中央部近傍で、上に凸の円状または角状の形状を有することを特徴とする請求項1～4のいずれかに記載の面実装型半導体装置。

【請求項7】第1電極に半田を介して接続される第1リード電極が、第1電極の中央部近傍で最も低く、半導体基体の外周部に向かい半導体基体との間隔が広くなる傾斜を有することを特徴とする請求項1～4のいずれかに記載の面実装型半導体装置。